

⑫ 公開特許公報(A)

昭63-73711

⑤ Int.Cl.⁴

H 03 J 7/18

識別記号

庁内整理番号

7928-5K

④ 公開 昭和63年(1988)4月4日

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 周波数シンセサイザチューナ

⑰ 特 願 昭61-218697

⑱ 出 願 昭61(1986)9月16日

⑲ 発 明 者 菊 池 隆 治 東京都大田区大森西4丁目15番5号 パイオニア株式会社
大森工場内⑲ 発 明 者 金 子 一 嗣 東京都大田区大森西4丁目15番5号 パイオニア株式会社
大森工場内⑲ 発 明 者 湯 本 武 見 東京都大田区大森西4丁目15番5号 パイオニア株式会社
大森工場内

⑳ 出 願 人 パイオニア株式会社 東京都目黒区目黒1丁目4番1号

㉑ 代 理 人 弁理士 藤村 元彦

明 細 書

1. 発明の名称

周波数シンセサイザチューナ

2. 特許請求の範囲

受信チャンネル選択指令信号に応じて受信チャンネルを設定する周波数シンセサイザチューナであって、指定される分周数に応じて局発周波数及び同調制御電圧を発生する周波数シンセサイザと、前記同調制御電圧に応じて同調特性が変化する同調回路によって受信信号を選択する高周波同調手段と、利得制御電圧に応じた利得で前記高周波同調手段の出力信号を増幅する高周波増幅手段と、前記高周波増幅手段の出力信号と前記局発信号とを混合して中間周波信号を得る周波数変換手段と、前記中間周波信号を増幅する中間周波増幅手段と、前記中間周波増幅手段の出力信号のレベルに基づいて前記利得制御電圧を定める利得調整手段とを含み、前記同調制御電圧に同調補正電圧を付加する同調制御電圧補正手段と、前記利得制御電圧に

利得補正電圧を付加する利得制御電圧補正手段と、前記中間周波増幅手段の出力信号から受信レベルを検出する受信レベル検出手段と、前記受信チャンネル選択指令信号に応じて選択されるべき選択受信チャンネルに対応する分周数を含む範囲で変化する分周数を指定する受信周波数設定手段と、前記選択受信チャンネルに対応する分周数及びその受信レベルを記憶する第1記憶手段と、前記受信レベルが所定値を越えたときその分周数及びこれに対応する受信レベルを記憶する第2記憶手段と、前記第1及び第2記憶手段に記憶された各分周数及びこれに対応する受信レベルに基づいて前記同調補正電圧及び前記利得補正電圧のレベルを定める補正電圧設定手段とを備えたことを特徴とする周波数シンセサイザチューナ。

3. 発明の詳細な説明

技術分野

本発明は、周波数シンセサイザチューナ（以下シンセサイザチューナと称する）に関する。

背景技術

従来のシンセサイザチューナの例を第3図を参照しつつ説明する。第3図、はAMシンセサイザチューナのブロック回路図であり、アンテナ1に到来した電波は高周波（以下RFと称する）信号となり、アンテナ同調回路2に供給される。アンテナ同調回路2は、可変容量素子を含むLC同調回路によって構成され、PLL回路3から供給される同調制御電圧（以下制御電圧と称する）信号に応じてそのLC同調回路の可変容量素子の値を変化して受信せんとする高周波信号に同調をとる。アンテナ同調回路2の出力信号はRF増幅回路4に供給される。RF増幅回路4は、AGC回路5から供給される利得制御電圧（以下AGC電圧と称する）によって利得が設定される。RF増幅回路4の出力信号は周波数混合回路（以下混合回路と称する）6に供給される。混合回路6は上記出力信号とVCO（電圧制御発振器）7から供給される局発信号とを混合してそれらのビート周波数成分からなる中間周波（以下IFと称する）信号を得て、これをIF増幅回路8に供給する。IF

増幅回路8はIF周波数に同調した同調回路を有する同調増幅回路であり、上記ビート周波数成分からIF信号を抽出しそのレベルを適当なレベルに増幅して検波回路9に供給する。検波回路9は、上記IF信号を音声信号に復調し音声増幅回路（図示せず）に供給する。検波回路10の出力信号がAGC回路5に供給されて平滑され受信RF信号の平均レベルに対応したAGC電圧が得られている。このAGC電圧はRF増幅回路4に供給される。キーボード10から発令される受信チャンネル選択指令信号は制御回路11に供給される。制御回路11は上記受信チャンネル選択指令信号に対応してPLL回路3及びVCO7によって構成される周波数シンセサイザの分周数を指定する。PLL回路3は、水晶発振器、前置分周器、プログラマブル分周器、位相比較器及びローパスフィルタ等により構成される。PLL回路3の出力である制御電圧信号はアンテナ同調回路2及びVCO7に供給される。

かかる構成において、操作者がキーボード10

を介して所定周波数の放送信号等の受信を制御回路11に指令すると、制御回路12は、該周波数に対応する分周数を上記プログラマブル分周器に設定し、上記ローパスフィルタから得られる上記制御電圧信号がVCO7に供給されて局発周波数が受信周波数に対応するIF周波数に設定される。

また、上記制御電圧信号はアンテナ同調回路2に供給され、受信せんとする周波数に同調回路2の同調周波数が設定されて、所望の放送電波が受信される。

かかる従来回路においては、希望受信放送に近接して強電界の妨害電波が存在するとチューナのAGC電圧が上記妨害電波のレベルによって設定されて受信回路の利得が低下し、希望受信放送の受信が困難に成るという不具合がある。

発明の概要

よって、本発明の目的とするところは、希望局に近接した強電界の妨害局による希望局の受信不能状態を自動的に解消し得るシンセサイザチューナを提供することである。

上記目的を達成する為に、本発明のシンセサイザチューナにおいては、希望局及び妨害局の周波数及びレベルに基づいてアンテナ同調回路の同調周波数を偏倚せしめて妨害局のレベルを減衰すると共にRF増幅回路の利得を適切に定める構成としている。

実施例

以下、本発明の実施例について、第1図を参照しつつ説明する。第1図に示されたAMシンセサイザチューナのブロック回路において第3図に示されたブロック回路と対応する部分には同一符号を付しかかる部分の説明は省略する。

検波回路10の検波出力信号はA/D変換器46に供給され、また、加算回路26を介してAGC回路5に供給される。PLL回路3の制御電圧は加算回路25を介してそれぞれアンテナ同調回路2に供給される。各加算回路の他入力端には後述の補正電圧信号が供給される。

キーボード10を介して操作者から受信すべきチャンネルあるいはサーチ指令等を示す指令信号

が制御回路31に供給される。制御回路31は従来回路の制御動作の外、後述する受信動作モードにより回路特性補正動作を行なう。メモリ32は制御回路31からの同期信号あるいは記憶指令信号(図示せず)に同期してA/D変換器46の出力(受信信号レベル)を順次記憶する。ROM33は、制御回路31の制御動作手順を示す制御プログラム、妨害信号の周波数、レベルに応じて経験的に定めるべき同調回路の補正值群及びAGC信号レベルの補正值等を記憶しており、制御回路31からの読出しアドレス指令(図示せず)に応じて上記補正值等を制御回路31に出力する。アンテナ同調周波数補正(以下ANT補正と称す)レジスタ34及びAGC補正レジスタ36には、制御回路31から供給される値が設定される。レジスタ34、36に記憶された各値はそれぞれD/A変換器42、43によってアナログ電圧信号に変換され前述の補正電圧信号として夫々加算回路25、26の他方入力端に供給される。なお、補正電圧信号の値はPLL回路3の制御電圧信号

に対して正もしくは負の値となる。上記制御電圧信号はそのプログラマブル分周器(図示せず)の分周数を変化することにより制御される。制御回路31は受信すべきチャンネルに対応する分周数をROM33から読み出しあるいは演算により得てこれを周波数設定レジスタ44に設定する。このレジスタ44の内容がPLL回路3のプログラマブル分周器に設定されることにより、制御電圧信号のレベルが設定され、VCO7の発振周波数が設定される。アンテナ同調回路2に供給される同調制御電圧はいわば粗調整信号(制御電圧信号)と微調整信号(補正電圧信号)とによって形成されることになり、上記補正電圧信号のレベルを適切に調整することにより混信に応じた同調特性の設定が可能となる。また、AGC回路5に供給される利得制御電圧も同様に形成され適当なレベルに調整される。ここで、回路31~36、44はマイクロプロセッサ30内に構成される。他の構成は従来回路と同様である。

次に、チューナの受信動作について説明する。

第2図に示された制御フローチャートを参照しつつ説明する。この動作モードにおいては、受信せんとする周波数の近傍に存在する受信妨害信号の周波数に対応して同調回路の同調周波数を自動的に偏倚せしめて妨害信号のレベルを強制的に減衰して混信を防止し、さらに、該受信妨害信号のレベルに応じてチューナのAGC回路の動作利得を適切に設定する構成として、従来回路における近接妨害信号によるAGC動作の不適切さ(AGC動作により希望信号が受信出来なくなる)及び混信を防止せんとしている。

第2図において、制御回路31は、主制御プログラムを実行中あるいは待機中に、操作者によってキーボード13からこの動作モードにより選局動作をなすべく指令信号が発せられると本サブルーチンに移行し、主制御プログラム中において制御回路31のレジスタ(図示せず)に記憶された受信すべきチャンネル(もしくは周波数)Noを読み取る(ステップS21)。

そして、受信チャンネルNoに対応する分周数

f_0 をROM33から読み取り、これを周波数設定レジスタ44に設定する(ステップS22)。レジスタ44に分周数 f_0 が設定されると、制御回路31は、記憶指令信号を発し分周数 f_0 と希望受信チャンネルの受信レベルとをメモリ32に記憶せしめる。(ステップS23)。

次に、近接局存在の有無を確認すべく、まず、希望受信チャンネルNoの下側を所定周波数範囲に亘ってサーチする。制御回路31は、その内部レジスタに設定された変数 n に分周数 f_0 を設定する(ステップS24)。変数 n からサーチ周波数幅に応じた一定数(例えば1)を減じ、これを新たな分周数 n として、レジスタ44に設定することにより、受信周波数を希望受信チャンネルNoの下側に偏倚せしめる(ステップS25及びS26)。そして、このときのA/D変換器46の受信レベル出力をメモリ32を介して読み取り、その受信レベルが所定値以上あるかを判別する(ステップS27)。上記受信レベルが所定値以下であるときは、放送電波(妨害信号)は存在し

ないものと判別し、変数 n がサーチ範囲の下限を示す値 $n_0 - a$ (a は下限周波数に応じて定められる定数) より大なる場合には (ステップ S 28)、ステップ S 25 ~ S 28 を繰り返して所定周波数間隔で順次受信周波数を減少しつつ下方サーチ動作を行なう。変数 n が値 $n_0 - a$ よりも小となると下方サーチ動作を終了して上方サーチ動作 (ステップ S 30) へ移行する (ステップ S 28)。
また、ステップ S 27 において放送電波の存在を検出すると、そのときの分周数 n 、受信レベル P_n (A/D 変換器 46 の出力レベル) をメモリ 32 に記憶し、上方サーチ動作 (ステップ S 30) へ移行する (ステップ S 29)。

ステップ S 30 ~ S 33 及びステップ S 36 は上方サーチ動作を行っており、制御回路 31 は内部レジスタに設定された変数 n' に分周数 n_0 を設定し (ステップ S 30)、変数 n' に一定数 (例えば 1) を加えて (ステップ S 31)、これを新たな分周数 n' として周波数設定レジスタ 44 に設定する (ステップ S 32)。そして、分周

数の変化に対応して受信周波数を希望受信チャンネル N_0 の上側に偏倚せしめ、ステップ S 27 と同様に放送電波の有無を判断する (ステップ S 33)。放送電波が存在しない場合は、分周数 $n_0 + a$ として示されるサーチ範囲の上限を越えないことを確認し (ステップ S 36)、ステップ S 31 ~ S 33 及び S 36 を繰り返して順次受信周波数を増加しサーチ動作を行なう。サーチ上限周波数を越えるとステップ S 35 に移行する (ステップ S 36)。サーチ動作において放送電波を検出すると (ステップ S 33)、そのときの分周数 n' 及び受信レベル $P_{n'}$ をメモリ 32 に記憶せしめる (ステップ S 34)。そして、周波数設定レジスタ 44 に再度分周数 n_0 を設定し、希望受信チャンネル N_0 の受信に復帰してサーチ動作を終了する (ステップ S 35)。

制御回路 31 は、メモリ 32 に記憶された分周数 n_0 、 n 及び n' また、これに対応する受信レベル P_0 、 P_n 及び $P_{n'}$ に基づいて AGC 回路 5 の動作利得を設定する (ステップ S 37)。す

なわち、ROM 33 には、基準信号 (受信信号) と妨害信号との周波数差及びレベル差によって、設定すべき AGC 補正值及び各同調回路の補正值が予め記憶されており、制御回路 31 は該当する AGC 補正值を選択して AGC 補正レジスタにこれを設定するのである (ステップ S 38)。制御回路 31 は、ステップ S 37 と同様にして、ANT 同調回路 2 及び RF 同調回路 4a の同調周波数を偏倚せしめて近接妨害信号を減衰せしめるべく選定された ANT 補正值を ROM 33 から読み出してそれぞれ ANT 補正レジスタ 34 に設定する (ステップ S 39 ~ S 41)。よって、同調回路の同調特性は近接妨害信号を減衰せしめるように偏倚し、RF 増幅回路の利得が上記近接妨害信号のレベルにも対応して設定されるので、混信の発生及び AGC 効果による希望受信チャンネルの受信不能状態の発生等が抑制される。なお、近接妨害信号が存在しないときは、ステップ S 38 及び 40 において初期値が設定されることになる。ここで、制御回路 31 及び周波数設定レジスタは受

信周波数設定手段に、メモリ 32 は第 1 及び第 2 記憶手段に、制御回路 31、各レジスタ、D/A 変換器は補正電圧設定手段に、各加算回路は夫々同調及び利得制御電圧補正手段に対応する。このようにして、選局動作モードを終了して主制御プログラムに戻る。

なお、一般に近接妨害信号は隣接チャンネルの放送電波である場合が多いので、希望受信チャンネルの前後のチャンネルのみをサーチすることとしても同様の効果が得られる。アンテナ同調回路はいわゆる RF 同調回路であっても良い。

発明の効果

以上説明したように本発明のシンセサイザチューナにおいては、同調及び利得制御電圧に夫々補正電圧を付加してアンテナ同調回路の同調周波数及び RF 増幅回路の利得を受信チャンネル近傍の電波状態に応じてさらに調整する構成としている故、選局の際、混信あるいは AGC 回路の不適切な動作による希望局の受信不能が自動的に回避されて好ましい。

4. 図面の簡単な説明

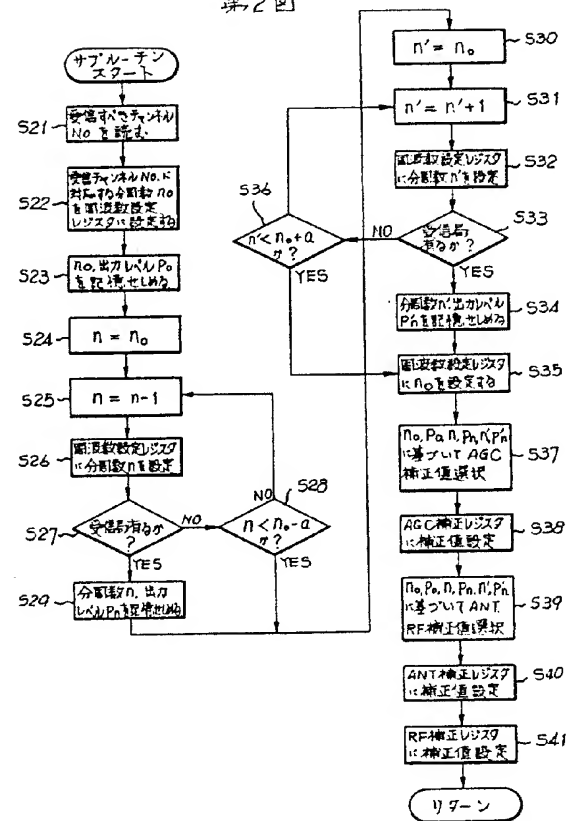
第1図は、本発明の実施例を示すブロック回路図、第2図は、動作を説明する為のフローチャート、第3図は、従来例を示すブロック回路図である。

主要部分の符号の説明

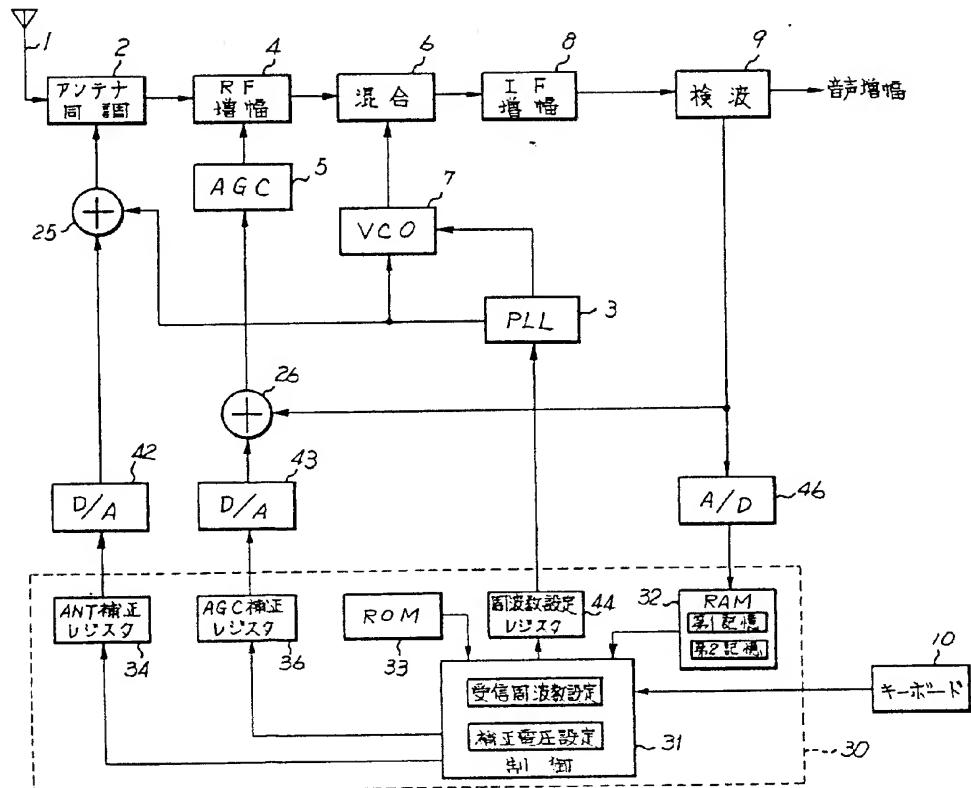
- 3 …… PLL 回路
- 25, 26 …… 加算回路
- 30 …… マイクロプロセッサ
- 42, 43 …… D/A 変換器

出願人 バイオニア株式会社
代理人 弁理士 藤村元彦

第2図



第1図



第3図

